

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-313379

(43)Date of publication of application : 09.11.2001

(51)Int.Cl.

H01L 27/108  
H01L 21/8242

(21)Application number : 2000-131877

(71)Applicant : NEC CORP

(22)Date of filing : 28.04.2000

(72)Inventor : YAMAMOTO ASAE

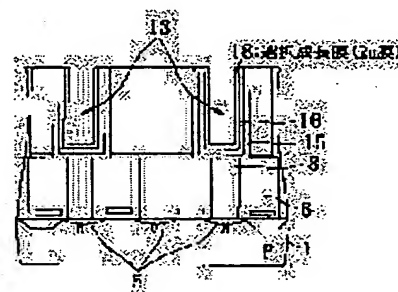
**(54) MANUFACTURING METHOD OF SEMICONDUCTOR MEMORY, AND MANUFACTURING METHOD OF CAPACITIVE ELEMENT**

(57)Abstract:

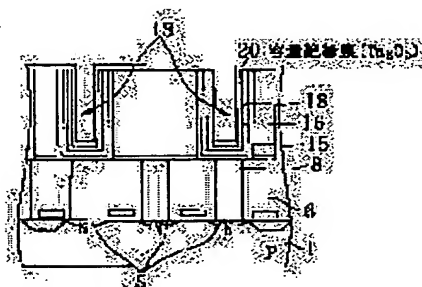
**PROBLEM TO BE SOLVED:** To prevent deterioration of leakage current characteristic of a capacity element, without damaging the capacity insulation film.

**SOLUTION:** According to the manufacturing method of a semiconductor memory, after a lower electrode film 16A formed of an Ru film is formed, an unwanted lower electrode film 16A is removed by using a resist 17 as a mask, and a lower electrode 16 is formed. Then, after the resist 17 is removed by ashing, a selectively formed film 18 formed of an Ru film, which functions as a buffer film, is selectively formed in a surface of the lower electrode 16 alone, and thereafter a capacity insulation film 20 made of a Ta<sub>2</sub>O<sub>5</sub> film is formed.

(4)



(5)

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  $\vee$   
特開2001-313379  
(P2001-313379A)

(43) 公開日 平成13年11月9日 (2001.11.9)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	ターミナル <sup>*</sup> (参考)
H 0 1 L 27/108		H 0 1 L 27/10	6 2 1 C 5 F 0 8 3
21/8242			

審査請求 未請求 請求項の数15 O L (全 17 頁)

(21) 出願番号 特願2000-131877(P2000-131877)

(22) 出願日 平成12年4月28日 (2000.4.28)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 山本 朝恵

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100099830

弁理士 西村 征生

Fターム(参考) 5F083 AD10 AD26 AD48 GA06 GA21

GA25 JA06 JA14 JA15 JA38

JA39 JA40 JA56 MA06 MA17

MA19 PR03 PR05 PR39 PR40

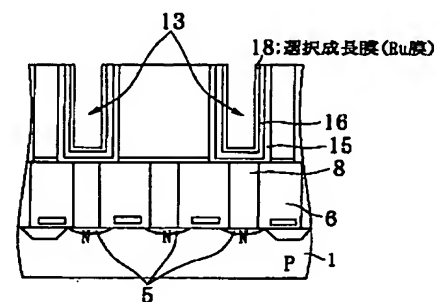
(54) 【発明の名称】 半導体メモリの製造方法及び容量素子の製造方法

(57) 【要約】

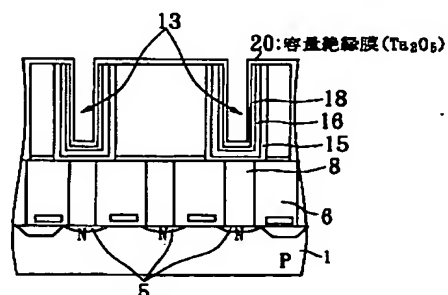
【課題】 容量絶縁膜にダメージを与えることなく、容量素子のリーク電流特性の低下を防止する。

【解決手段】 開示される半導体メモリの製造方法は、Ru膜から成る下部電極膜16Aを形成した後レジスト17をマスクとして不要な下部電極膜16Aを除去して下部電極16を形成し、レジスト17をアッシングにより除去した後、下部電極16表面のみに緩衝膜としての役割を担うRu膜から成る選択成長膜18を選択成長させ、この後にTa<sub>2</sub>O<sub>5</sub>膜から成る容量絶縁膜20を形成する。

(i)



(j)



## 【特許請求の範囲】

【請求項 1】 半導体基板上にメモリセルトランジスタ及びその拡散領域に接続されたシリンドラ型容量素子を備えた半導体メモリの製造方法であって、前記半導体基板上に前記メモリセルトランジスタを形成した後全面に層間絶縁膜を形成する工程と、前記層間絶縁膜の所定の個所に前記シリンドラ型容量素子を形成するためのシリンドラ溝を形成する工程と、その後全面に下部電極膜を形成する工程と、その後前記シリンドラ溝内にのみレジストが残存するようにレジスト処理する工程と、その後余分な前記下部電極膜を除去して前記シリンドラ溝内にのみ下部電極膜を残す工程と、その後全面に容量絶縁膜及び上部電極膜を形成する工程とを含むことを特徴とする半導体メモリの製造方法。

【請求項 2】 半導体基板上にメモリセルトランジスタ及びその拡散領域に接続されたシリンドラ型容量素子を備えた半導体メモリの製造方法であって、前記半導体基板上に前記メモリセルトランジスタを形成した後全面に第 1 の層間絶縁膜を形成する工程と、前記第 1 の層間絶縁膜に前記拡散領域を露出するコンタクトホールを形成し、該コンタクトホールに前記拡散領域に接続する容量コンタクトを形成する工程と、前記第 1 の層間絶縁膜上に第 2 の層間絶縁膜を形成した後、該第 2 の層間絶縁膜の所定の個所に前記シリンドラ型容量素子を形成するためのシリンドラ溝を形成する工程と、その後全面に下部電極膜を形成する工程と、その後前記シリンドラ溝内にのみレジストが残存するようにレジスト処理する工程と、その後余分な前記下部電極膜を除去して前記シリンドラ溝内にのみ下部電極膜を残す工程と、その後全面に容量絶縁膜及び上部電極膜を形成する工程とを含むことを特徴とする半導体メモリの製造方法。

【請求項 3】 前記下部電極膜を残す工程の後に、前記レジストを除去する工程を含むことを特徴とする請求項 1 又は 2 記載の半導体メモリの製造方法。

【請求項 4】 前記レジスト除去する工程を酸素プラズマ法により行うことを特徴とする請求項 3 記載の半導体メモリの製造方法。

【請求項 5】 前記レジストを除去する工程の後に、前記下部電極膜上にのみ選択的に金属膜を形成する工程を含むことを特徴とする請求項 3 又は 4 記載の半導体メモリの製造方法。

【請求項 6】 前記容量絶縁膜及び上部電極膜を形成する工程の後に、前記第 2 の層間絶縁膜上に第 3 の層間絶縁膜を形成し、その後ビットコンタクト形成予定位置の前記第 3 の層間絶縁膜及び前記第 2 の層間絶縁膜を選択的に除去して、所望の前記容量コンタクトを露出するビットコンタクトホールを形成する工程と、該ビットコンタクトホール及び前記第 3 の層間絶縁膜上に金属膜を順

次に形成した後、前記第 3 の層間絶縁膜上の不要な金属膜を除去してビットコンタクトを形成する工程と、前記第 3 の層間絶縁膜上に前記ビットコンタクトと接続するようにビット配線を形成する工程とを含むことを特徴とする請求項 1 乃至 5 のいずれか 1 に記載の半導体メモリの製造方法。

【請求項 7】 前記金属膜を形成する工程を、CVD 法、PVD 法又は両者の組み合わせにより行うことを特徴とする請求項 5 又は 6 記載の半導体メモリの製造方法。

【請求項 8】 前記金属膜として Ru を用いることを特徴とする請求項 5、6 又は 7 記載の半導体メモリの製造方法。

【請求項 9】 半導体基板上にシリンドラ型容量素子を備えた容量素子の製造方法であって、前記半導体基板の全面に層間絶縁膜を形成する工程と、前記層間絶縁膜の所定の個所に前記シリンドラ型容量素子を形成するためのシリンドラ溝を形成する工程と、その後全面に下部電極膜を形成する工程と、その後前記シリンドラ溝内にのみレジストが残存するようにレジスト処理する工程と、その後余分な前記下部電極膜を除去して前記シリンドラ溝内にのみ下部電極膜を残す工程と、その後全面に容量絶縁膜及び上部電極膜を形成する工程とを含むことを特徴とする容量素子の製造方法。

【請求項 10】 半導体基板上にシリンドラ型容量素子を備えた容量素子の製造方法であって、前記半導体基板の全面に第 1 の層間絶縁膜を形成する工程と、

前記第 1 の層間絶縁膜にコンタクトホールを形成し、該コンタクトホールに容量コンタクトを形成する工程と、前記第 1 の層間絶縁膜上に第 2 の層間絶縁膜を形成した後、該第 2 の層間絶縁膜の所定の個所に前記シリンドラ型容量素子を形成するためのシリンドラ溝を形成する工程と、

その後全面に下部電極膜を形成する工程と、その後前記シリンドラ溝内にのみレジストが残存するようにレジスト処理する工程と、

その後余分な前記下部電極膜を除去して前記シリンドラ溝内にのみ下部電極膜を残す工程と、その後全面に容量絶縁膜及び上部電極膜を形成する工程とを含むことを特徴とする容量素子の製造方法。

【請求項 11】 前記下部電極膜を残す工程の後に、前記レジストを除去する工程を含むことを特徴とする請求項 9 又は 10 記載の容量素子の製造方法。

【請求項 12】 前記レジスト除去する工程を酸素プラズマ法により行うことを特徴とする請求項 11 記載の容量素子の製造方法。

【請求項 13】 前記レジストを除去する工程の後に、前記下部電極膜上にのみ選択的に金属膜を形成する工程

10

20

30

40

50

を含むことを特徴とする請求項 11 又は 12 記載の容量素子の製造方法。

【請求項 14】 前記金属膜を形成する工程を、CVD 法、PVD 法又は両者の組み合わせにより行うことを特徴とする請求項 13 記載の容量素子の製造方法。

【請求項 15】 前記金属膜として Ru を用いることを特徴とする請求項 13 又は 14 記載の容量素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体メモリの製造方法及び容量素子の製造方法に係り、詳しくは、情報を記憶する容量素子の下部電極上に容量絶縁膜を形成するときに、下部電極加工時にこの表面に生じた変質の影響を容量絶縁膜が受けるのを防止するようにした半導体メモリの製造方法及び容量素子の製造方法に関する。

【0002】

【従来の技術】半導体装置の代表として知られている LSI (大規模集積回路) は、メモリ製品とロジック製品とに大別されるが、最近の半導体製造技術の進歩につれて、特に前者における発展がめざましい。この半導体メモリは、DRAM (Dynamic Random Access Memory) と、SRAM (Static Random Access Memory) とに分類されるが、半導体メモリのほとんどが、集積度の点で優れている MOS (Metal Oxide Semiconductor) 型トランジスタによって構成されている。また、DRAM は SRAM に比較して上述したような高集積化の利点をより大きく生かせるため、コストダウンが図れるので、情報機器等における各種の記憶装置に広く適用されている。

【0003】DRAM は、メモリセルトランジスタとこれに接続された容量素子 (キャパシタ) とにより 1 つのメモリセルを構成して、容量素子の電荷の有無により情報を記憶している。ここで、容量素子は、容量絶縁膜の両側に一對の金属電極を設けた、MIM (Metal Insulator Metal) 構造が広く採用されている。上述のように、DRAM は容量素子を利用して情報を記憶するが、記憶情報の増大に伴って、半導体基板上に形成される個々の容量素子の占有面積は制約されてきている。したがって、それぞれの容量素子の容量 (キャパシタンス) を、制約された占有面積内で高める工夫が必要になる。もし容量素子の容量が情報を記憶するのに十分な値を有していないと、外部からのノイズ信号等により容易に誤動作するようになるので、ソフトウェアで代表されるようなエラーが生じ易くなる。

【0004】上述のような DRAM の容量素子の高容量化を図るために、従来から、容量絶縁膜として高誘電率絶縁膜を用いた容量素子が構成されている。この高誘電率絶縁膜としては、例えば金属酸化膜の一種である酸化タンタル ( $Ta_2O_5$ ) 膜を初めとして、チタン酸ジルコン酸鉛 (PZT)、チタン酸バリウム (BTO)、チタ

ン酸ストロンチウム (STO) 等の多くの酸化膜が用いられている。例えば上述の酸化タンタル膜は、以前から用いられている酸化シリコン ( $SiO_2$ ) 膜と比べて略 10 倍の大きさの誘電率を有し、また窒化シリコン ( $Si_3N_4$ ) 膜と比べて略 4 倍の大きさの誘電率 (25~30) を有しているので、容量素子の容量を増加させることができるようになる。

【0005】また、容量素子の高容量化を図る他の考えとして、容量素子の一方の電極である上部電極あるいは他方の電極である下部電極の表面積を拡大させるために、シリンダ型、ボックス型、フィン型等の各種の立体構造が実施されている。また、このような立体構造と高誘電率絶縁膜から成る容量絶縁膜とを組み合わせることで、容量素子の容量をさらに増加させることができるようになる。

【0006】次に、図 12 乃至図 14 を参照して、従来の半導体メモリの製造方法について工程順に説明する。なお、容量素子としてはシリンダ型の立体構造を採用する例で説明する。図 12 (a) に示すように、予め所定のプロセスを経て、既にメモリセルトランジスタが形成されている例えば P 型シリコン基板 51 を用意する。この基板 51 には、周知の LOCOS (Local Oxidation of Silicon) 法等により酸化シリコン膜からなる素子分離用絶縁膜 52 が形成され、この素子分離用絶縁膜 52 により囲まれた活性領域にはゲート酸化膜 53 及びゲート電極 (ワードライン) 54 が形成されている。ゲート電極 54 の両側にはソース領域又はドレイン領域を構成する複数の N 型拡散領域 55 が選択的に形成されて、表面は酸化シリコン膜等からなる層間絶縁膜 56 で覆われている。

【0007】ゲート電極 54 及び複数の N 型拡散領域 55 (ソース領域又はドレイン領域) により MOS (Metal Oxide Semiconductor) 型トランジスタから成るメモリセルトランジスタ 60 が構成されている。容量素子が接続される所望の N 型拡散領域 55 の表面の層間絶縁膜 56 にはコンタクトホール 57 が形成されて、このコンタクトホール 57 には多結晶シリコン等から成る容量コンタクト 58 が形成されている。また、層間絶縁膜 56 上にはプラズマ酸窒化膜 61 を介してプラズマ酸化膜 62 が形成されて、これらプラズマ酸窒化シリコン膜 61 及びプラズマ酸化シリコン膜 62 には、容量コンタクト 58 を露出するようにシリンダ溝 63 が形成されている。

【0008】次に、図 12 (b) に示すように、CVD 法により全面に (窒化チタン)  $TiN$  / (チタン)  $Ti$  の積層膜から成るバリア膜 65 を形成した後、スパッタ法のみにより、又はスパッタ法の後に CVD 法を組み合わせ、全面に下部電極膜 66A を形成する。この下部電極膜 66 は、後の工程で所望の形状にパターンニングされることにより下部電極が形成される。次に、図 13

(c) に示すように、シリンドラ溝 63 内にレジスト 67 を埋め込むように形成する。

【0009】次に、図 13 (d) に示すように、エッチバックにより層間絶縁膜 62 の表面を平坦化して不要なバリア膜 65 及び下部電極膜 66A を除去する。これにより、下部電極 66 を形成する。次に、図 14 (e) に示すように、酸素 ( $O_2$ ) プラズマ法によりシリンドラ溝 63 内のレジスト 67 をアッシングして除去する。次に、図 14 (f) に示すように、CVD 法により全面に  $Ta_2O_5$  膜から成る容量絶縁膜 68 及び上部電極膜 69A を形成した後、上部電極膜 69A を所望の形状にパターニングして上部電極 (図示せず) を形成することにより容量素子を形成して、半導体メモリを完成させる。

【0010】ところで、上述した従来の製造方法で製造された半導体メモリは、容量素子のリーク電流特性が低下するという欠点が生ずる。すなわち、従来の半導体メモリの製造方法では、図 13 (d) の後の図 14 (e) の工程で酸素プラズマ法でレジスト 67 をアッシングするときに、酸素プラズマにより下部電極 66 の表面が損傷されて変質する現象が生ずる。そして、この変質した下部電極 66 の表面に容量絶縁膜 68 が形成されるので、その下部電極 66 の変質の影響により容量絶縁膜 68 が劣化してリーク電流が増大するようになる。

【0011】上述のようにレジストのアッシング時の上部電極膜の変質の影響を防止するようにした半導体メモリの製造方法が、例えば特開平 7-94600 号公報に開示されている。以下、図 15 ~ 図 18 を参照して、同半導体メモリの製造方法について工程順に説明する。

【0012】まず、図 15 (a) に示すように、予め所定のプロセスを経て、既にメモリセルトランジスタ 130 が形成されているシリコン基板 131 を用意する。メモリセルトランジスタ 130 は、ゲート酸化膜 121、ゲート電極 123、ソース領域又はドレイン領域 125 (低不純物濃度領域 125a 及び高不純物濃度領域 125b) により構成されている。符号 127 は絶縁膜、符号 133 は分離用絶縁膜、符号 135 はチャネルストップ領域、符号 137 はビット線、符号 141 は層間絶縁膜である。

【0013】次に、図 15 (b) に示すように、層間絶縁膜 141 を異方性エッチングして所望のソース領域又はドレイン領域 125 に達するコンタクトホール 141a を形成した後、CVD 法により全面にドーパント多結晶シリコン膜 143 を形成する。次に、図 16 (c) に示すように、ドーパント多結晶シリコン膜 143 をエッチバックしてプラグ層 143a を形成した後、スパッタ法により全面にバリア層 113 を形成し、次に CVD 法により全面に下部電極膜 101A を形成する。

【0014】次に、図 16 (d) に示すように、スパッタ法等の PVD (Physical Vapor Deposition) により全面に例えば PZT から成る容量絶縁膜 103 を形成す

る。次に、図 17 (e) に示すように、容量絶縁膜 103 上にレジストパターン 153 を形成した後、このレジストパターン 153 をマスクとして、容量絶縁膜 103、下部電極膜 101A 及びバリア膜 113 を順次に異方性エッチングしてパターニングする。これにより、下部電極 101 が形成される。

【0015】次に、図 17 (f) に示すように、レジストパターン 153 をアッシングして除去した後、CVD 法により全面に酸化シリコン膜あるいは窒化シリコン膜から成る絶縁膜 111 を形成する。次に、図 18 (g) に示すように、絶縁膜 111 を容量絶縁膜 103 の表面が露出するまで異方性エッチングによりエッチバックして、下部電極 101 及び容量絶縁膜 103 の側壁を覆うように側壁絶縁膜 111a を形成する。次に、図 18 (h) に示すように、全面に上部電極 105 を形成して、下部電極 101、容量絶縁膜 103 及び上部電極 105 から構成された容量素子 110 を形成する。次に、全面に絶縁膜 145 を形成して、半導体メモリを完成させる。

【0016】上述のような特開平 7-94600 号公報に示された製造方法によれば、図 16 (d)、図 17

(e) の工程で示したように、下部電極膜 101A 及び容量絶縁膜 103 を連続的に形成した後に、レジストパターン 153 をマスクとして下部電極膜 101A 及び容量絶縁膜 103 を順次にパターニングし、次にレジストパターン 153 をアッシングして除去している。したがって、レジストパターン 153 をアッシングするときには、下部電極膜 101A は酸素プラズマに晒られないので、下部電極膜 101A の表面が損傷されて変質されることがなくなる。それゆえ、下部電極膜 101A の変質の影響による容量絶縁膜 103 の劣化がなくなるので、容量素子のリーク電流特性の低下を防止することが可能となる。

【0017】

【発明が解決しようとする課題】ところで、特開平 7-94600 号公報記載の従来の半導体メモリの製造方法では、レジストのアッシング時の上部電極膜の変質の影響を防止することができるものの、容量絶縁膜に対して側壁絶縁膜を形成する必要があるため、この側壁絶縁膜形成工程において容量絶縁膜にダメージを与える、という問題がある。すなわち、上記公報記載の半導体メモリの製造方法では、まず、図 17 (f) の工程において、CVD 法により絶縁膜 111 を形成するときに既に形成されている容量絶縁膜 103 に対してダメージを与える。特に、容量絶縁膜 103 が  $Ta_2O_5$  膜のような酸化膜から成り、絶縁膜 111 が酸化シリコン膜又は窒化シリコン膜から成る組合せの場合には、酸化シリコン膜又は窒化シリコン膜は成膜原料としてモノシラン ( $SiH_4$ ) のようなシランを用いて還元により成膜するので、この成膜時に  $Ta_2O_5$  膜が還元されるようになる。

【0018】次に、上述のように形成した絶縁膜 111 を、図 18 (g) の工程において、異方性エッチングによりエッチバックして側壁絶縁膜 111a を形成するときにも、既に形成されている容量絶縁膜 103 に対して異方性エッチングによりダメージを与える。このように、絶縁膜 111 の成膜時に、あるいはエッチバック時に容量絶縁膜 103 にダメージが与えられる、容量絶縁膜 103 が劣化するようになるので、結果的に容量素子のリーク電流特性を低下させることになる。

【0019】さらに、上記公報記載の半導体メモリの製造方法では、図 18 (g) の工程により側壁絶縁膜 111a を形成するときに、異方性エッチングによる加工精度が重要になるが、この異方性エッチングの制御が容易でないので、オーバーエッチングが生じる。したがって、このオーバーエッチングの度合いが大きいと、図 19 に示すように、側壁絶縁膜 111a の膜厚が小さくなって、下部電極 101 と上部電極 105 とが短絡するようになる。

【0020】この発明は、上述の事情に鑑みてなされたもので、容量絶縁膜にダメージを与えることなく、容量素子のリーク電流特性の低下を防止することができるようにした半導体メモリの製造方法及び容量素子の製造方法を提供することを目的としている。

#### 【0021】

【課題を解決するための手段】上記課題を解決するために、請求項 1 記載の発明は、半導体基板上にメモリセルトランジスタ及びその拡散領域に接続されたシリンダ型容量素子を備えた半導体メモリの製造方法に係り、上記半導体基板上に上記メモリセルトランジスタを形成した後全面に層間絶縁膜を形成する工程と、上記層間絶縁膜の所定の個所に上記シリンダ型容量素子を形成するためのシリンダ溝を形成する工程と、その後全面に下部電極膜を形成する工程と、その後上記シリンダ溝内のみレジストが残存するようにレジスト処理する工程と、その後余分な上記下部電極膜を除去して上記シリンダ溝内のみ下部電極膜を残す工程と、その後全面に容量絶縁膜及び上部電極膜を形成する工程とを含むことを特徴としている。

【0022】請求項 2 記載の発明は、半導体基板上にメモリセルトランジスタ及びその拡散領域に接続されたシリンダ型容量素子を備えた半導体メモリの製造方法に係り、上記半導体基板上に上記メモリセルトランジスタを形成した後全面に第 1 の層間絶縁膜を形成する工程と、上記第 1 の層間絶縁膜に上記拡散領域を露出するコンタクトホールを形成し、該コンタクトホールに上記拡散領域に接続する容量コンタクトを形成する工程と、上記第 1 の層間絶縁膜上に第 2 の層間絶縁膜を形成した後、該第 2 の層間絶縁膜の所定の個所に上記シリンダ型容量素子を形成するためのシリンダ溝を形成する工程と、その後全面に下部電極膜を形成する工程と、その後上記シリ

ンダ溝内のみレジストが残存するようにレジスト処理する工程と、その後余分な上記下部電極膜を除去して上記シリンダ溝内のみ下部電極膜を残す工程と、その後全面に容量絶縁膜及び上部電極膜を形成する工程とを含むことを特徴としている。

【0023】請求項 3 記載の発明は、請求項 1 又は 2 記載の半導体メモリの製造方法に係り、上記下部電極膜を残す工程の後に、上記レジストを除去する工程を含むことを特徴としている。

【0024】請求項 4 記載の発明は、請求項 3 記載の半導体メモリの製造方法に係り、上記レジスト除去する工程を酸素プラズマ法により行うことを特徴としている。

【0025】請求項 5 記載の発明は、請求項 3 又は 4 記載の半導体メモリの製造方法に係り、上記レジストを除去する工程の後に、上記下部電極膜上にのみ選択的に金属膜を形成する工程を含むことを特徴としている。

【0026】請求項 6 記載の発明は、請求項 1 乃至 5 のいずれか 1 に記載の半導体メモリの製造方法に係り、上記容量絶縁膜及び上部電極膜を形成する工程の後に、上記第 2 の層間絶縁膜上に第 3 の層間絶縁膜を形成し、その後ビットコンタクト形成予定位置の上記第 3 の層間絶縁膜及び上記第 2 の層間絶縁膜を選択的に除去して、所望の上記容量コンタクトを露出するビットコンタクトホールを形成する工程と、該ビットコンタクトホール及び上記第 3 の層間絶縁膜上に金属膜を順次に形成した後、上記第 3 の層間絶縁膜上の不要な金属膜を除去してビットコンタクトを形成する工程と、上記第 3 の層間絶縁膜上に上記ビットコンタクトと接続するようにビット配線を形成する工程とを含むことを特徴としている。

【0027】請求項 7 記載の発明は、請求項 5 又は 6 に記載の半導体メモリの製造方法に係り、上記金属膜を形成する工程を、CVD 法、PVD 法又は両者の組み合わせにより行うことを特徴としている。

【0028】請求項 8 記載の発明は、請求項 5、6 又は 7 記載の半導体メモリの製造方法に係り、上記金属膜として Ru を用いることを特徴としている。

【0029】請求項 9 記載の発明は、半導体基板上にシリンダ型容量素子を備えた容量素子の製造方法に係り、上記半導体基板の全面に層間絶縁膜を形成する工程と、上記層間絶縁膜の所定の個所に上記シリンダ型容量素子を形成するためのシリンダ溝を形成する工程と、その後全面に下部電極膜を形成する工程と、その後上記シリンダ溝内のみレジストが残存するようにレジスト処理する工程と、その後余分な上記下部電極膜を除去して上記シリンダ溝内のみ下部電極膜を残す工程と、その後全面に容量絶縁膜及び上部電極膜を形成する工程とを含むことを特徴としている。

【0030】請求項 10 記載の発明は、半導体基板上にシリンダ型容量素子を備えた容量素子の製造方法に係り、上記半導体基板上の全面に第 1 の層間絶縁膜を形成

10

20

30

40

50

する工程と、上記第 1 の層間絶縁膜にコンタクトホールを形成し、該コンタクトホールに容量コンタクトを形成する工程と、上記第 1 の層間絶縁膜上に第 2 の層間絶縁膜を形成した後、該第 2 の層間絶縁膜の所定の個所に上記シリンダ型容量素子を形成するためのシリンダ溝を形成する工程と、その後全面に下部電極膜を形成する工程と、その後上記シリンダ溝内にのみレジストが残存するようにレジスト処理する工程と、その後余分な上記下部電極膜を除去して上記シリンダ溝内にのみ下部電極膜を残す工程と、その後全面に容量絶縁膜及び上部電極膜を形成する工程とを含むことを特徴としている

【0031】請求項 11 記載の発明は、請求項 9 又は 10 記載の容量素子の製造方法に係り、上記下部電極膜を残す工程の後に、上記レジストを除去する工程を含むことを特徴としている。

【0032】請求項 12 記載の発明は、請求項 11 記載の容量素子の製造方法に係り、上記下部電極膜を残す工程の後に、上記レジストを除去する工程を含むことを特徴としている。

【0033】請求項 13 記載の発明は、請求項 11 又は 12 記載の容量素子の製造方法に係り、上記レジストを除去する工程の後に、上記下部電極膜上にみに選択的に金属膜を形成する工程を含むことを特徴としている。

【0034】請求項 14 記載の発明は、請求項 13 記載の容量素子の製造方法に係り、上記金属膜を形成する工程を、CVD 法、PVD 法又は両者の組み合わせにより行うことを特徴としている。

【0035】請求項 15 記載の発明は、請求項 13 又は 14 記載の容量素子の製造方法に係り、上記金属膜として Ru を用いることを特徴としている。

#### 【0036】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。説明は実施例を用いて具体的に行う。図 1 乃至図 9 は、この発明の一実施例である半導体メモリの製造方法の構成を工程順に示す工程図である。以下、図 1 ～図 9 を参照して、同半導体メモリの製造方法について工程順に説明する。まず、図 1

(a) に示すように、例えば P 型シリコン基板 1 に、周知の LOCOS 法等により酸化シリコン膜からなる素子分離用絶縁膜 2 を形成した後、この素子分離用絶縁膜 2 により囲まれた活性領域に酸化シリコン膜、多結晶シリコン膜を順次に形成し、これら酸化シリコン膜及び多結晶シリコン膜を所望の形状にパターニングしてゲート酸化膜 3 及びゲート電極（ワードライン）4 を形成する。次に、ゲート酸化膜 3 及びゲート電極 4 をマスクとするセルフアラインにより、イオン注入法等の周知の不純物導入方法により N 型不純物をシリコン基板 1 に導入して、ソース領域又はドレイン領域を構成する複数の N 型拡散領域 5 を選択的に形成する。次に、CVD 法により全面に層間絶縁膜となる膜厚が 0.5 ～ 1.0  $\mu\text{m}$  の酸

化シリコン膜 6 を形成する。

【0037】これにより、ゲート電極 4 及び複数の N 型拡散領域 5 により MOS 型トランジスタから成るメモリセルトランジスタ 10 が構成されている。ここで、上述のソース領域又はドレイン領域を構成する複数の N 型拡散領域 5 は、高不純物濃度領域と低不純物濃度領域との組み合わせであるいわゆる LDD (Lightly Doped Drain) 構造になっていても、高不純物濃度領域のみの非 LDD 構造になっていてもよい。次に、フォトリソグラフィ法により、容量素子が接続される所望の N 型拡散領域 5 の表面の酸化シリコン膜 6 にコンタクトホール 7 を形成する。

【0038】次に、図 1 (b) に示すように、CVD 法により全面に、抵抗を下げるための所望の不純物がドーブされた多結晶シリコン膜（ドーブ多結晶シリコン膜）を形成した後、エッチバックにより酸化シリコン膜 6 の表面を平坦化して不要な多結晶シリコン膜を除去して、コンタクトホール 7 内にドーブ多結晶シリコンから成る容量コンタクト 8 を形成する。

【0039】次に、図 2 (c) に示すように、プラズマ CVD 法により全面に膜厚が略 50 nm のプラズマ酸化シリコン膜 11 及び膜厚が略 1  $\mu\text{m}$  のプラズマ酸化シリコン膜 12 を順次に形成する。

【0040】次に、図 2 (d) に示すように、フォトリソグラフィ法により、プラズマ酸化シリコン膜 11 及びプラズマ酸化シリコン膜 12 に、容量コンタクト 8 を露出するようにシリンダ溝 13 を形成する。

【0041】次に、図 3 (e) に示すように、CVD 法により全面に膜厚が略 10 nm の TiN 膜及び膜厚が略 10 nm の Ti 膜の積層膜から成るバリア膜 15 を形成した後、スパッタ法のみにより、又はスパッタ法の後に CVD 法を組み合わせ、全面に膜厚が 5 ～ 10 nm のルテニウム (Ru) 膜から成る下部電極膜 16 A を形成する。この Ru 膜は、酸化しても導電性酸化膜となる性質を有しているので、この後の工程で下部電極膜がパターニングされて下部電極が形成されても、この上に形成される容量絶縁膜の容量に影響を与えない。ここで、バリア膜 15 は、ドーブ多結晶シリコン膜から成る容量コンタクト 8 から下部電極膜 16 A に不要な不純物が拡散するのを防止すると共に、下部電極膜 16 A とプラズマ酸化シリコン膜 12 との密着性を向上させる役割を担っている。

【0042】次に、図 3 (f) に示すように、全面にレジストを塗布した後全面露光し、次に現像処理を施してシリンダ溝 13 内にレジスト膜 17 を残す。このとき、現像処理によりレジスト 17 がシリンダ溝 13 内にのみ残るようにレジストの塗布厚さ及び全面露光量を前もって実験により求めておくことが必要である。

【0043】次に、図 4 (g) に示すように、エッチバックによりプラズマ酸化シリコン膜 12 の表面を平坦化

10

20

30

40

50

して、不要な下部電極膜 16A 及びバリア膜 15 を順次に除去する。このエッチバックにより下部電極膜 16A は所望の形状にパターニングされて、下部電極 16 が形成される。このエッチバック時に、シリンダ溝 13 内に埋め込まれているレジスト 17 の一部も除去される。

【0044】次に、図 4 (h) に示すように、酸素プラズマ法によりシリンダ溝 13 内の残っているのレジスト 17 をアッシングして除去する。アッシング条件は、基板 1 を反応容器内に収容した状態で、以下のように設定した。

◆ガスの種類及びガス流量

$O_2/N_2=1000\sim3000/100\sim200$  s c c m (Standard Cubic Centimeter per Minute)

◆パワー

1000W

◆容器内圧力

133~665 p a s (Pascal)

◆基板温度

200~300℃

【0045】上述したような、図 3 (f) ~ 図 4 (h) にわたって、下部電極膜 16A を加工して下部電極 16 を形成するとき、特に図 4 (h) のレジスト 17 の酸素プラズマ法によるアッシング時に、下部電極 16 の表面が損傷されて変質する現象が生ずる。次に、アッシング時のレジスト残渣物（ hidroカーボン、カーボン等の有機物）を完全に剥離するため、例えばジメチルスルホキシドとフッ化アンモニウムとの混合水溶液を用いて、基板 1 を洗浄処理する。

【0046】次に、図 5 (i) に示すように、CVD 法により下部電極 16 表面のみに膜厚が 5~10 nm の Ru 膜から成る選択成長膜 18 を選択的に成長させる。この選択成長膜 18 は、後述するように下部電極 16 上に容量絶縁膜を形成するときに、下部電極加工時にこの表面に生じた変質の影響を容量絶縁膜が受けるのを防止するような緩衝膜としての役割を担う。選択成長条件は、基板 1 を反応容器内に収容した状態で、以下のように設定した。

◆ガスの種類

Ru (EtCp)<sub>2</sub>、 $O_2/N_2$

◆容器内圧力

略 1330 p a s 以下

◆基板温度

略 500℃ 以下

【0047】上述の Ru のような特定の金属は、酸化シリコン膜のような絶縁膜上にはほとんど成長しないが、下部電極 16 のような下地金属上には成長することができる選択成長性の特徴を備えており、この選択成長性を利用することにより、下部電極 16 表面のみに形成する。図 11 は、上述の選択成長条件で選択成長膜 18 を形成した場合の、膜厚（縦軸）と成膜時間（横軸）との

関係を示す図である。図 11 において、直線 A は下部電極 16 上における Ru 膜の成長特性を示し、直線 B は第 2 の層間絶縁膜であるプラズマ酸化シリコン膜 12 上における Ru 膜の成長特性を示している。A、B の両特性の比較から明かなように、Ru 膜から成る選択成長膜 18 は成長開始時には、金属膜である下部電極膜 16 にのみ選択的に成長し、以後の時間においても絶縁膜上におけるよりも大きな成長速度が得られることを示している、両者はインキュベーションタイムが異なっていることを示している。

【0048】次に、図 5 (j) に示すように、CVD 法により全面に膜厚が 5~20 nm の Ta<sub>2</sub>O<sub>5</sub> 膜から成る容量絶縁膜 20 を形成する。Ta<sub>2</sub>O<sub>5</sub> 膜の成膜条件は、基板 1 を反応容器内に収容した状態で、以下のように設定した。

◆ガスの種類及びガス流量

Ta (OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub>/O<sub>2</sub>=0.1/2000 s c c m

◆容器内圧力

略 66 p a s

◆基板温度

略 450℃

【0049】次に、図 6 (k) に示すように、CVD 法により全面に膜厚が 10~20 nm の Ru 膜から成る上部電極膜 21A を形成する。次に、図 6 (l) に示すように、CVD 法により全面に膜厚が 100~150 nm のタングステン (W) 膜 22 を形成する。この W 膜 22 は Ru 膜と共に上部電極膜を構成して、パターニング後に上部電極となる。特に W 膜 22 はステップカバレッジ性に優れているので、微小径のシリンダ溝 13 内に埋め込む場合に適しており、さらに Ru 膜よりは安価なので電極材料の低コスト化を図ることができる。

【0050】次に、図 7 (m) に示すように、W 膜 22 のビットコンタクト形成予定位置を除いた表面にレジスト 23 を形成した後、このレジスト 23 をマスクとして、W 膜 22、上部電極 21A 及び容量絶縁膜 20 を順次に異方性エッチングしてパターニングして、プラズマ酸化シリコン膜 12 を露出する。これにより、上部電極膜 21A が所望の形状にパターニングされて上部電極 21 が形成されることにより、容量素子 24 が形成される。

【0051】次に、図 7 (n) に示すように、プラズマ CVD 法により全面に膜厚が略 500 nm のプラズマ酸化シリコン膜 25 を形成する。次に、図 8 (o) に示すように、プラズマ酸化シリコン膜 25 のビットコンタクト形成予定位置を除いた表面にレジスト 26 を形成した後、このレジスト 26 をマスクとして、プラズマ酸化シリコン膜 25、プラズマ酸化シリコン膜 12 及びプラズマ酸化シリコン膜 11 を順次に異方性エッチングしてビットコンタクトホール 27 を形成して、所望の容量コンタクト 8 を露出する。

【0052】次に、図8(p)に示すように、CVD法により全面に膜厚が略10nmのTiN膜及び膜厚が略10nmのTi膜の積層膜から成るバリア膜28、及び膜厚が略50nmのW膜29を順次に形成する。次に、図9(q)に示すように、CMP (Chemical Mechanical Polishing) 法により、バリア膜28及びW膜29の不要部を除去して、ビットコンタクトホール27内のみにバリア膜28及びW膜29の積層膜から成るビットコンタクト30を形成する。

【0053】次に、図9(r)に示すように、CMP法により全面に膜厚が30~50nmのTiN膜31を形成して、ビットコンタクト30と接続するビット配線を形成する。次に、全面に酸化シリコン膜等の絶縁保護膜32を形成して、半導体メモリを完成させる。

【0054】上述したように、この例の半導体メモリの製造方法によれば、Ru膜から成る下部電極膜16Aを形成した後レジスト17をマスクとして不要な下部電極膜16Aを除去して下部電極16を形成し、レジストをアッシングにより除去した後、下部電極16表面のみに緩衝膜としての役割を担うRu膜から成る選択成長膜18を選択成長させ、この後にTa<sub>2</sub>O<sub>5</sub>膜から成る容量絶縁膜20を形成するようにしたので、容量絶縁膜20は下部電極16と接しないので、成長絶縁膜18と接するようになる。したがって、容量絶縁膜20は下地膜である表面が変質されていない選択成長18の膜質が反映されて形成される。それゆえ、レジスト17のアッシング時に、下部電極16の表面が酸素プラズマにより損傷されて変質しても、容量絶縁膜20はその変質の影響を受けないので劣化することはない。

【0055】しかも、この例の半導体メモリの製造方法によれば、従来の製造方法のように、容量絶縁膜20に対して側壁絶縁膜を形成する必要がないので、この側壁絶縁膜の形成工程は不要になるため、容量絶縁膜にダメージを与えることはなくなる。すなわち、この例では、図17(f)の絶縁膜111を形成する工程及び図18(g)の絶縁膜111をエッチバックして側壁絶縁膜111aを形成する工程は必要がないので、既に形成されている容量絶縁膜に対してダメージを与えるおそれはない。さらに、側壁絶縁膜の形成が不要になったことにより、側壁絶縁膜のオーバーエッチングは生じないので、図19に示したような、下部電極101と上部電極105との短絡も生じない。

【0056】図10は、この例によって得られた半導体メモリの容量素子のリーク電流特性を示すもので、リーク電流密度(縦軸)と印加電圧V<sub>p</sub>(横軸)との関係を示している。Aがこの例による特性を示している。図10から明らかなように、この例による特性Aは、印加電圧V<sub>p</sub>が小さい範囲ではリーク電流を少なく抑えることができることを示している。一方、従来の特性Bは、印加電圧V<sub>p</sub>が小さい範囲でもリーク電流は多くなってい

て、リーク電流特性が低下していることを示している。

【0057】このように、この例の構成によれば、メモリセルトランジスタ10を形成したシリコン基板1上のプラズマ酸化シリコン膜11及びプラズマ酸化シリコン膜12から成る層間絶縁膜にシリンドラ溝13を形成した後に、このシリンドラ溝13に容量素子を形成するにあたり、Ru膜から成る下部電極膜16Aを形成した後レジスト17をマスクとして不要な下部電極膜16Aを除去して下部電極16を形成し、レジスト17をアッシングにより除去した後、下部電極16表面のみに緩衝膜としての役割を担うRu膜から成る選択成長膜18を選択成長させ、この後にTa<sub>2</sub>O<sub>5</sub>膜から成る容量絶縁膜20を形成するようにしたので、容量絶縁膜に対して側壁絶縁膜を形成しなくとも、下部電極加工時に生じた変質の影響を防止することができる。したがって、容量絶縁膜にダメージを与えることなく、容量素子のリーク電流特性の低下を防止することができる。

【0058】以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更などがあってもこの発明に含まれる。たとえば、各実施例では半導体メモリに用いる容量素子を製造する例で説明したが、これに限らず容量素子のみを半導体基板上に形成する場合にも適用することができる。また、下部電極の下に形成するバリア膜は、TiN/Tiの積層膜に限らずに、Ta<sub>2</sub>N(窒化タンタル膜)等の他の材料を用いることができる。また、選択成長性を有する金属としては、Ruに限らずに、タングステン(W)、窒化タングステン(WN)、白金(Pt)等の他の金属を用いることも可能である。

【0059】また、容量絶縁膜はTa<sub>2</sub>O<sub>5</sub>膜に限らずに、チタン酸ジルコン酸鉛(PZT)、チタン酸バリウム(BTO)、チタン酸ストロンチウム(STO)等の他の材料を用いることができる。また、容量素子の立体構造は、シリンドラ型に例をあげて説明したがこれに限らず、ボックス型、フィン型等の他の立体構造電極にも適用することができる。また、半導体メモリの構造はビット配線を容量素子の上部に配置するCUB(Capacitor Under Bit)構造に例をあげて説明したがこれに限らずに、COB(Capacitor Over Bit)構造に適用することもできる。

#### 【0060】

【発明の効果】以上説明したように、この発明の半導体メモリの製造方法によれば、メモリセルトランジスタを形成した半導体基板上の層間絶縁膜にコンタクトホールを形成した後に、このコンタクトホールに容量素子を形成するにあたり、下部電極膜を形成した後レジストをマスクとして不要な下部電極膜を除去して下部電極を形成し、レジストをアッシングにより除去した後、下部電極表面のみに緩衝膜としての役割を担う選択成長膜を選択

成長させ、この後に容量絶縁膜を形成するようにしたので、容量絶縁膜に対して側壁絶縁膜を形成しなくとも、下部電極加工時に生じた変質の影響を防止することができる。また、この発明の容量素子の製造方法によれば、半導体基板上の層間絶縁膜にコンタクトホールを形成した後に、このコンタクトホールに容量素子を形成するにあたり、下部電極膜を形成した後レジストをマスクとして不要な下部電極膜を除去して下部電極を形成し、レジストをアッシングにより除去した後、下部電極表面のみに緩衝膜としての役割を担う選択成長膜を選択成長させ、この後に容量絶縁膜を形成するようにしたので、容量絶縁膜に対して側壁絶縁膜を形成しなくとも、下部電極加工時に生じた変質の影響を防止することができる。したがって、容量絶縁膜にダメージを与えることなく、容量素子のリーク電流特性の低下を防止することができる。

#### 【図面の簡単な説明】

【図 1】この発明の一実施例である半導体メモリの製造方法の構成を工程順に示す工程図である。

【図 2】同半導体メモリの製造方法の構成を工程順に示す工程図である。

【図 3】同半導体メモリの製造方法の構成を工程順に示す工程図である。

【図 4】同半導体メモリの製造方法の構成を工程順に示す工程図である。

【図 5】同半導体メモリの製造方法の構成を工程順に示す工程図である。

【図 6】同半導体メモリの製造方法の構成を工程順に示す工程図である。

【図 7】同半導体メモリの製造方法の構成を工程順に示す工程図である。

【図 8】同半導体メモリの製造方法の構成を工程順に示す工程図である。

【図 9】同半導体メモリの製造方法の構成を工程順に示す工程図である。

【図 10】この発明の第 1 実施例により得られた容量絶縁膜のリーク電流特性を示す図である。

【図 11】この発明の第 1 実施例に用いられる選択成長金属膜の膜厚と成長時間との関係を示す図である。

【図 12】従来の半導体メモリの製造方法の構成を工程順に示す工程図である。

【図 13】同半導体メモリの製造方法の構成を工程順に示す工程図である。

【図 14】同半導体メモリの製造方法の構成を工程順に示す工程図である。

【図 15】同半導体メモリの製造方法の構成を工程順に示す工程図である。

【図 16】同半導体メモリの製造方法の構成を工程順に示す工程図である。

【図 17】同半導体メモリの製造方法の構成を工程順に示す工程図である。

【図 18】同半導体メモリの製造方法の構成を工程順に示す工程図である。

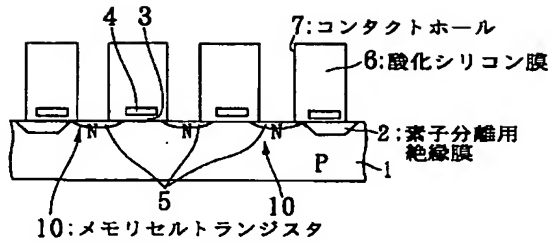
【図 19】従来の半導体メモリの製造方法の欠点を示す図である。

#### 【符号の説明】

- |          |  |
|----------|--|
| 1        | P 型シリコン基板                                |
| 2        | 素子分離用絶縁膜                                 |
| 3        | ゲート酸化膜                                   |
| 4        | ゲート電極 (ワードライン)                           |
| 5        | N 型拡散領域 (ソース領域又はドレイン領域)                  |
| 6        | 酸化シリコン膜 (層間絶縁膜)                          |
| 7        | コンタクトホール                                 |
| 8        | 容量コンタクト                                  |
| 10       | メモリセルトランジスタ                              |
| 11       | プラズマ酸化シリコン膜                              |
| 12       | プラズマ酸化シリコン膜                              |
| 13       | シリンド溝                                    |
| 15、28    | バリア膜 (TiN/Ti 膜)                          |
| 16A      | 下部電極膜 (Ru 膜)                             |
| 16       | 下部電極                                     |
| 17、23、26 | レジスト                                     |
| 18       | 選択成長膜 (Ru 膜)                             |
| 20       | 容量絶縁膜 (Ta <sub>2</sub> O <sub>5</sub> 膜) |
| 21A      | 上部電極膜 (Ru 膜)                             |
| 21       | 上部電極                                     |
| 22、29    | W 膜 (上部電極膜)                              |
| 24       | 容量素子                                     |
| 27       | ビットコンタクトホール                              |
| 30       | ビットコンタクト                                 |
| 31       | TiN 膜 (ビット配線)                            |
| 32       | 絶縁保護膜                                    |

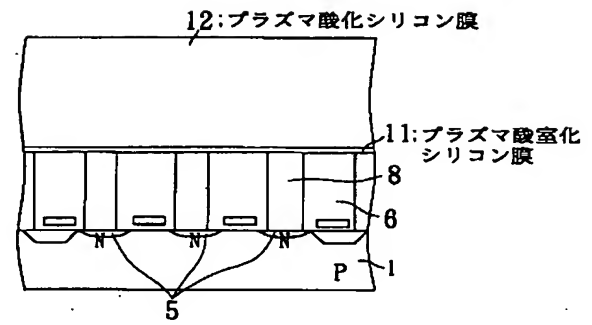
【図 1】

(a)

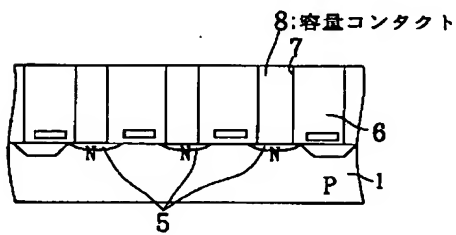


【図 2】

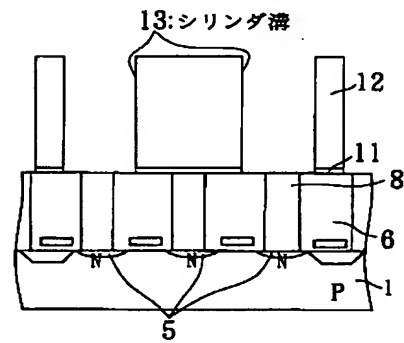
(c)



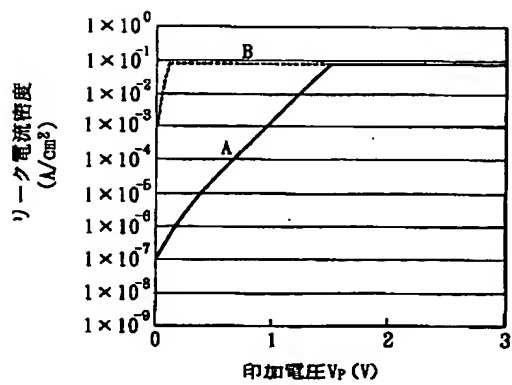
(b)



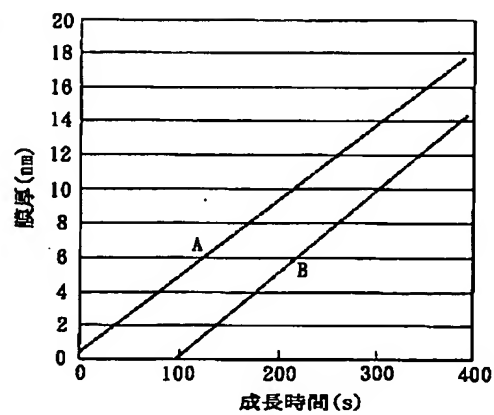
(d)



【図 10】

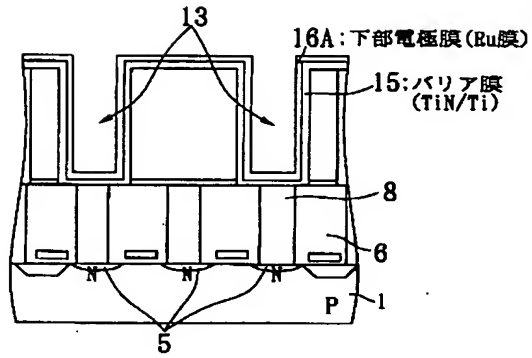


【図 11】

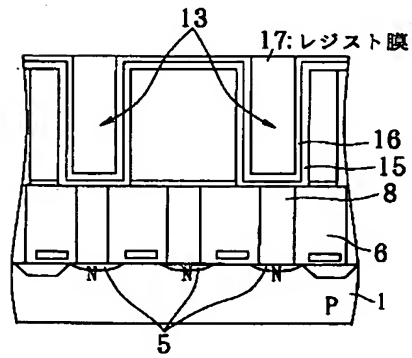


【図3】

(e)

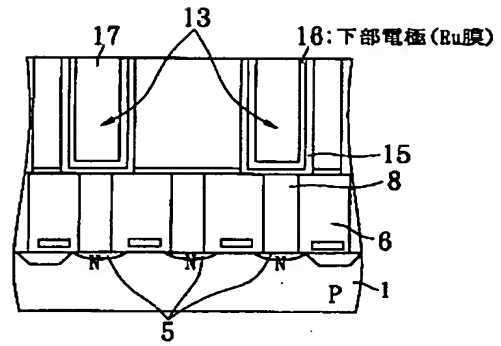


(f)

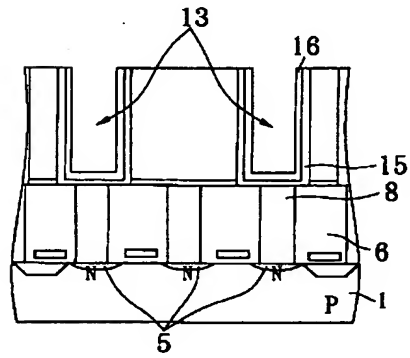


【図4】

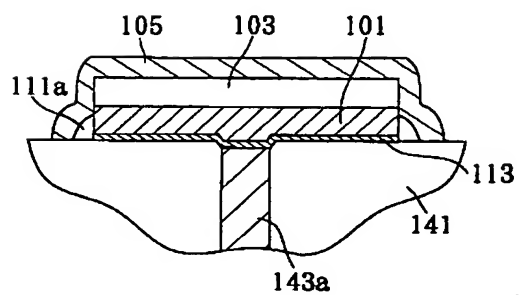
(g)



(h)

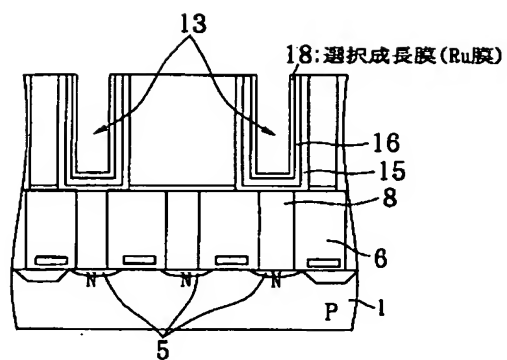


【図19】

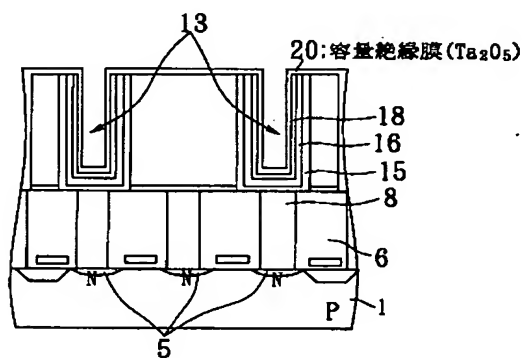


【図 5】

(i)

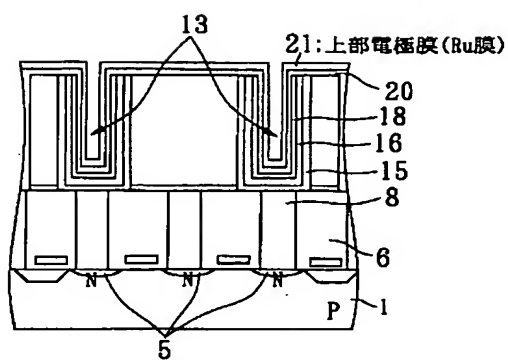


(j)

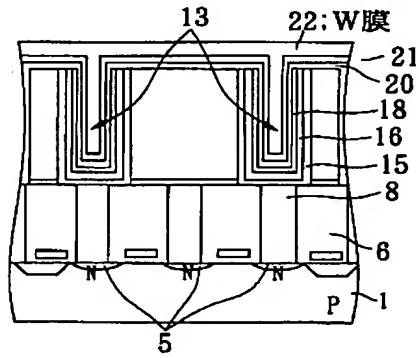


【図 6】

(k)

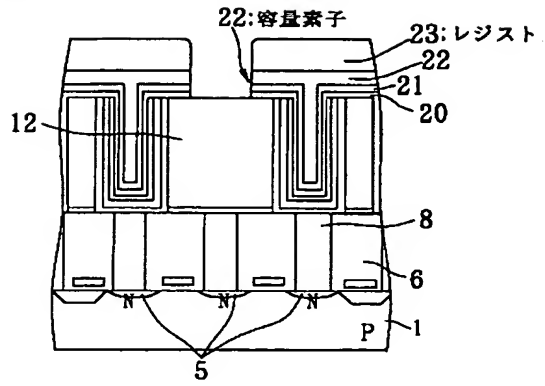


(l)

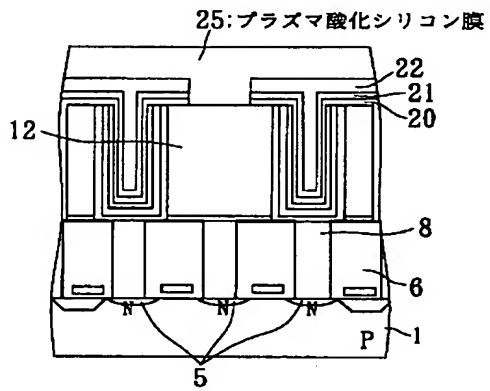


【図 7】

(m)

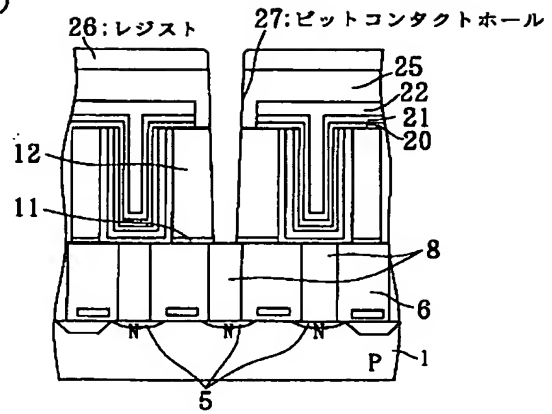


(n)

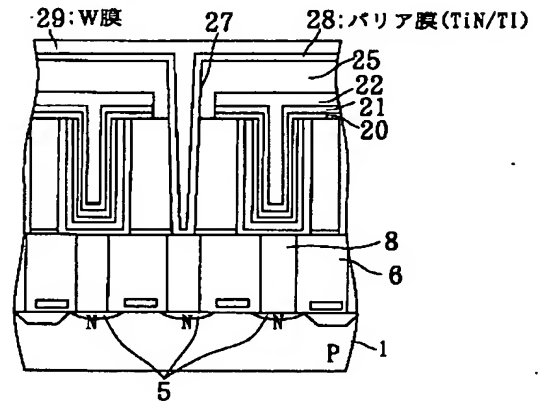


【図 8】

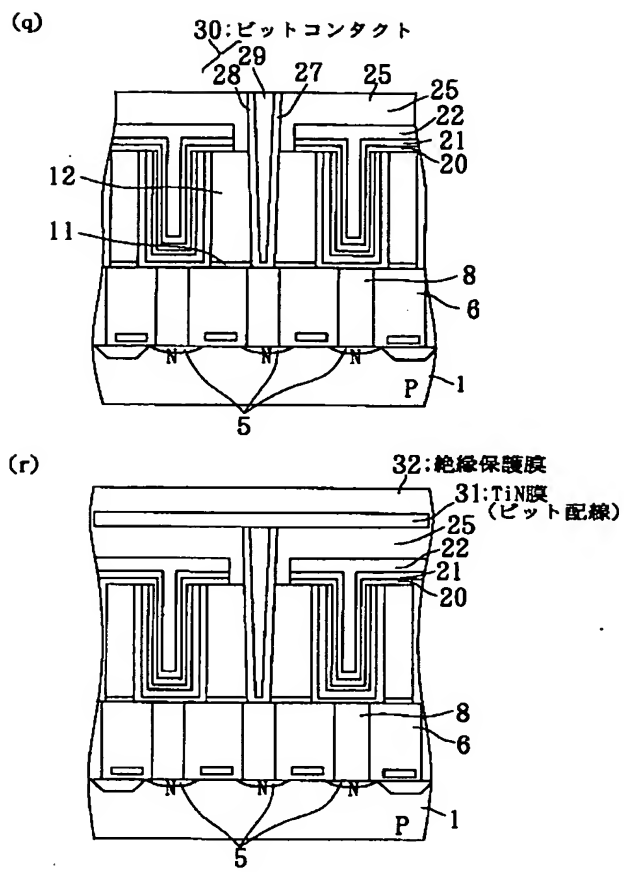
(o)



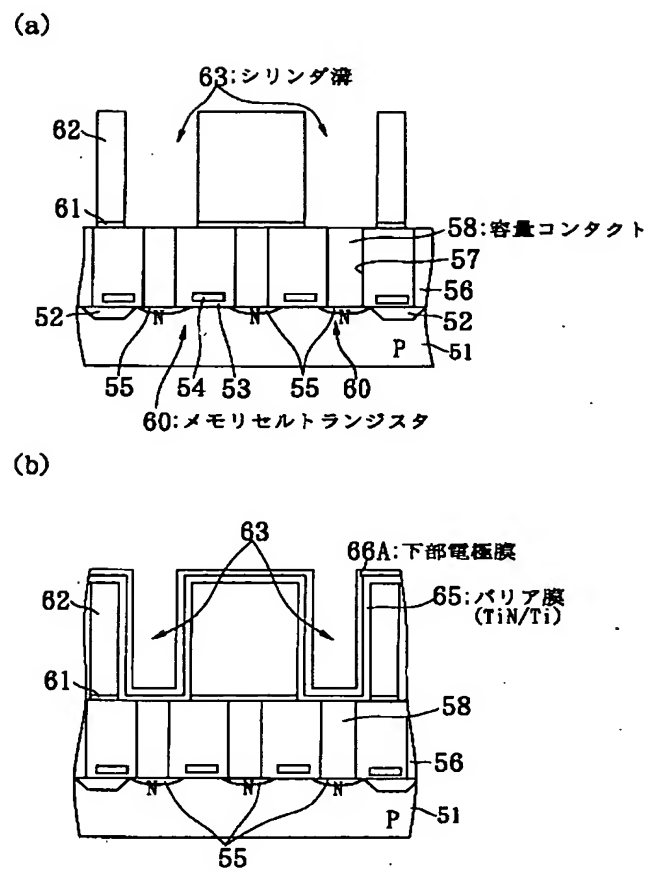
(p)



【図 9】

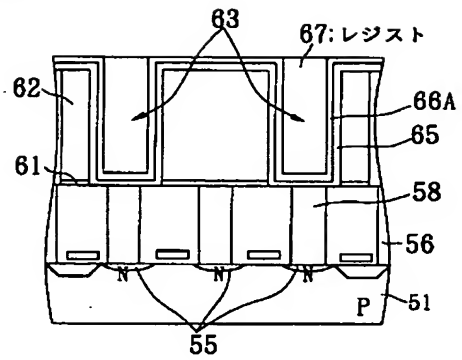


【図 12】



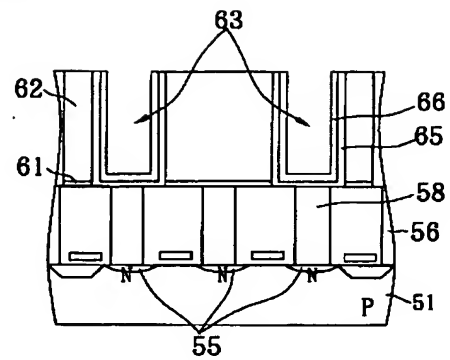
【図 13】

(c)

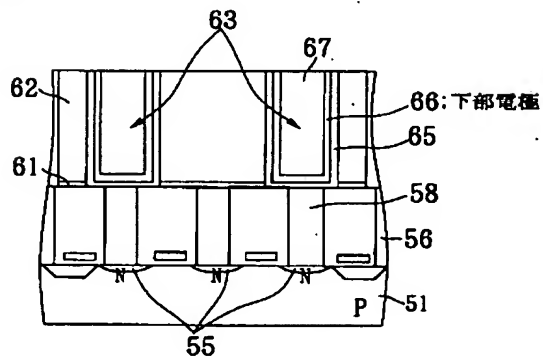


【図 14】

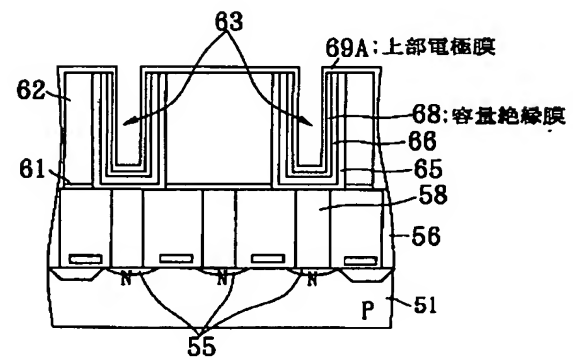
(e)



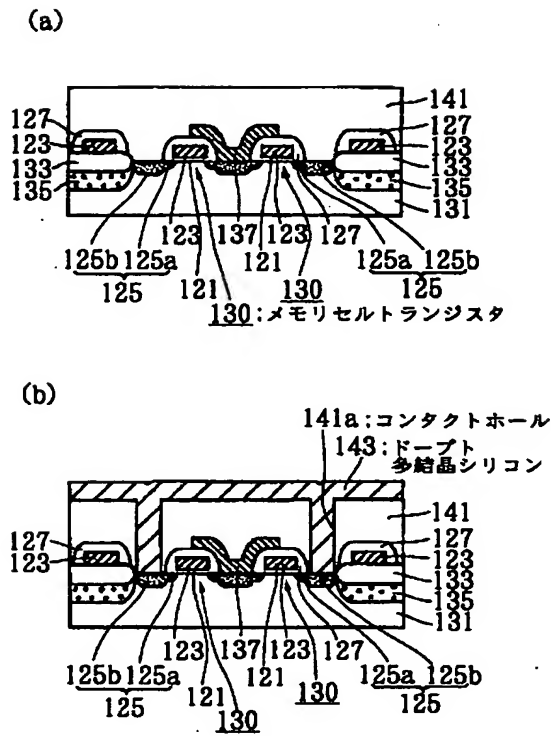
(d)



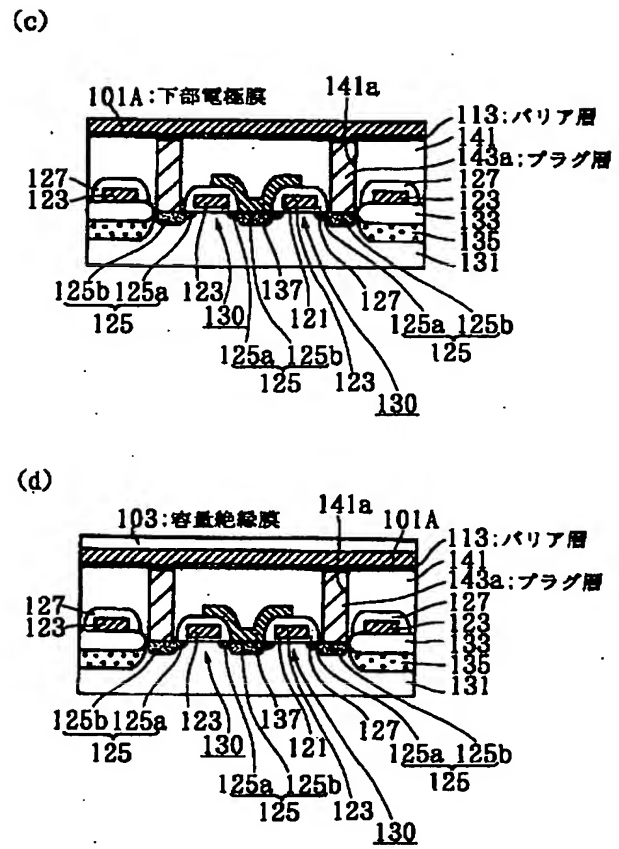
(f)



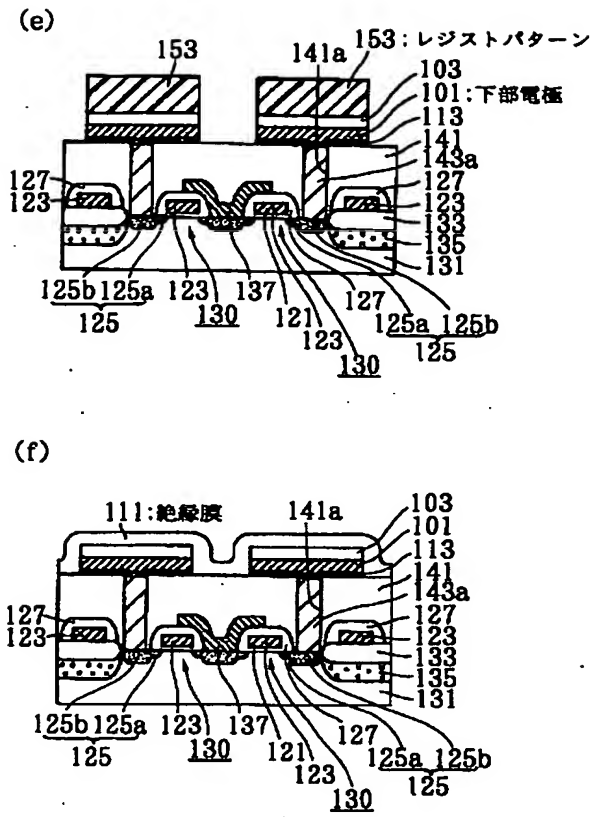
【図15】



【図16】



【図 17】



【図 18】

